

09/773502

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-275191

(43) 公開日 平成9年(1997)10月21日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04			H 0 1 L 27/04	D
	21/822		H 0 3 K 19/00	A
H 0 3 K 19/00			19/003	E
19/003			H 0 1 L 27/04	H

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号	特願平8-325143	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成8年(1996)12月5日	(72) 発明者	小野 雅章 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(31) 優先権主張番号	特願平8-22361	(74) 代理人	弁理士 石田 敬 (外3名)
(32) 優先日	平8(1996)2月8日		
(33) 優先権主張国	日本 (J P)		

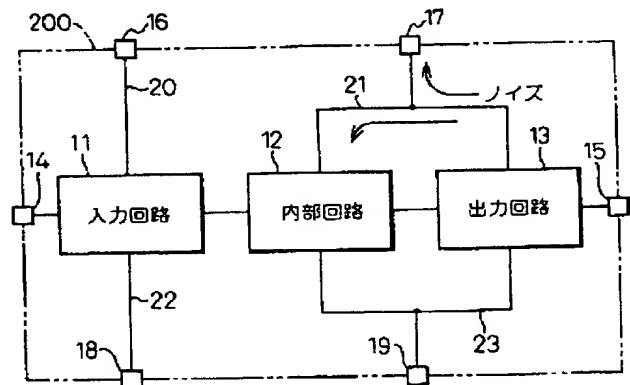
(54) 【発明の名称】 半導体集積回路及びそれを使用した回路装置

(57) 【要約】

【課題】 出力回路から入力回路へのノイズの伝搬が無く、入力回路の保護回路を原因とする電流の流れ込みを制限するように使用することが可能な半導体集積回路の実現。

【解決手段】 入力回路11と、入力回路の出力に従って動作する他の回路12、13と、入力回路12と他の回路12、13に電源電圧を供給する複数の端子で同一の電圧が印加される電源端子16、17、18、19とを備える半導体集積回路において、入力回路12の少なくとも一部の回路に電源を供給する入力回路用電源配線20、22と、他の回路12、13に電源を供給する一般電源配線21、23とは分離されて設けられており、入力回路用電源配線20、22と一般電源配線21、23はそれぞれ異なる電源端子16、18と17、19とに接続されている。

本発明の原理構成図



【特許請求の範囲】

【請求項 1】 入力回路と、

前記入力回路の出力に従って動作する他の回路と、
前記入力回路及び前記他の回路に電源電圧を供給する複数の端子であって、同一の電源電圧が印加される複数の電源端子とを備える半導体集積回路において、
前記入力回路の少なくとも一部の回路に電源を供給する入力回路用電源配線と、前記他の回路に電源を供給する一般電源配線とは互いに分離されて設けられており、前記入力回路用電源配線及び前記一般電源配線はそれぞれ異なる電源端子に接続されていることを特徴とする半導体集積回路。

【請求項 2】 請求項 1 に記載の半導体集積回路であって、

前記入力回路のうち、前記入力回路用電源配線に接続される回路以外の回路は、前記一般電源配線に接続される半導体集積回路。

【請求項 3】 請求項 1 又は 2 に記載の半導体集積回路であって、

前記入力回路用電源配線及び前記一般電源配線は、高電位側電源配線又は低電位側電源配線のいずれか一方が分離され、他方は共通に接続されている半導体集積回路。

【請求項 4】 請求項 1 から 3 のいずれか 1 項に記載の半導体集積回路であって、

前記入力回路の入力信号線が接続される端子の両側に、前記入力回路用電源配線の高電位側電源配線及び低電位側電源配線が接続される 2 つの電源端子が配置される半導体集積回路。

【請求項 5】 請求項 1 から 4 のいずれか 1 項に記載の半導体集積回路であって、

前記入力回路の入力信号線と前記入力回路用電源配線との間に設けられた保護回路を備える半導体集積回路。

【請求項 6】 請求項 5 に記載の半導体集積回路と、
該半導体集積回路の前記電源端子に接続され、前記半導体集積回路に電源電圧を供給する電圧源とを備える回路装置であって、

前記入力回路用電源配線が接続される電源端子及び前記電圧源の間に接続された電流制限回路を備える回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路及びそれを使用した回路装置に関するものであり、特に、IC パッケージに実装された半導体チップ内の電源配線に関するものである。

【0002】

【従来の技術】 近年、半導体集積回路（以下 LSI という）は、半導体回路の高集積化及び高密度化に伴い入出力ピンの数や電源端子の数が増える傾向にある。更に、LSI の信頼性の確保や低消費電力化のために電源電圧

を下げる傾向にある。例えば、バイポーラトランジスタを使用した TTL (Transistor Transistor Logic) 等の従来の LSI 装置では 5V 駆動が多いが、電界効果トランジスタを使用した LSI 装置では 3V 乃至 3.3V 駆動が主流となりつつある。しかしながら、低電圧駆動を目的とした LSI 装置では、わずかなノイズがトランジスタの誤動作の原因となることがあり、その対策が望まれている。

【0003】 図 1 は、従来例に係る LSI 装置の構成を示す図である。図示の LSI 100 は、信号入力端子 4 から入力される入力信号を LSI 内に取り込む入力回路 1 と、入力回路 1 の出力に応じて動作する内部回路 2 と、内部回路 2 の出力を信号出力端子 5 から外部に出力するための出力回路 3 とを有する。各回路が動作するための電源電圧は、高電位側電源端子 6 と低電位側電源端子 7 を介して供給される。参照番号 8 は、高電位側電源端子 6 と各回路を接続する高電位側電源配線を、9 は低電位側電源端子 7 と各回路を接続する低電位側電源配線を、6-1、6-2、6-3 は高電位側電源配線 8 の各回路とのノードを、7-1、7-2、7-3 は低電位側電源配線 9 の各回路とのノードを示す。ここでは、信号入力端子 4 と信号出力端子 5 はそれぞれ 1 個ずつだけが表示されているが、実際にはそれぞれ複数あるのが一般的である。それに応じて、入力回路 1 や出力回路 3 も複数あり、内部回路 2 も複数の部分で構成される。また、高電位側電源端子 6 と、低電位側電源端子 7 もそれぞれ 1 個ずつであるが、高集積の LSI では 1 組の電源端子では十分な電源供給が行えないので、電源端子の個数を増加させることが行われている。通常、端子と内部配線は細いボンディングワイヤを介して接続されるが、1 本のボンディングワイヤで供給できる通電容量が制限されるためである。

【0004】 図 2 は、各回路と各端子が複数設けられた従来例に係る LSI 装置の構成図である。図示のように、信号入力端子 4 と信号出力端子 5 はそれぞれ複数個設けられており、入力回路 1 と出力回路 3 もそれぞれ信号入力端子 4 と信号出力端子 5 の個数分設けられている。また、内部回路 2 も実際には所定の機能を果たすために容易された多数の回路の集合体であるが、ここでは便宜上 1 つの回路として示してある。また、内部回路 2 を構成する複数の回路は、各回路が複数の入力回路 1 からの出力信号を受けるのが一般的であり、実際の構成は図示のように単純ではない。入力回路 1 は内部回路 2 や出力回路 3 に比べて必要とする電流容量が小さい。

【0005】 高電位側電源端子 6 と低電位側電源端子 7 もそれぞれ複数個設けられ、各高電位側電源端子 6 は高電位側電源配線 8 に共通に接続され、各低電位側電源端子 7 は低電位側電源配線 9 に共通に接続されており、各回路への電源電圧供給は高電位側電源配線 8 と低電位側電源配線 9 から行われる。図では、高電位側電源端子 6

は 8 個設けられており、高電位側電源配線 8 に設けられた 8 個の電極パッドにボンディングワイヤを介して接続されている。低電位側電源端子 7 は接地される端子で、同様に 8 個設けられており、接地線である低電位側電源配線 9 に設けられた 8 個の電極パッドにボンディングワイヤを介して接続される。このように、内部の電源配線を複数のボンディングワイヤを介して複数の電源端子に接続することにより、全体として内部の電源配線に供給できる電流が増加する。

【0006】そして、実際にプリント基板等に当該 LSI を実装した場合に、8 個の高電位側電源端子 6 はパッケージ外部では電源の高電位側に共通に接続され、8 個の低電位側電源端子 7 も電源の低電位側に共通に接続される。このような電源配線の構成によれば、共通の電源配線 8 と 9 から入力回路 1、内部回路 2 及び出力回路 3 へ電源を余裕を持って供給することができる。しかしながら、複数の出力回路 3 の出力信号が同時に変化すると、それに伴って内部の電源線に電源ノイズが発生し、この電源ノイズは共通の電源配線 8 と 9 を介して入力回路 1 や内部回路 2 に伝搬し、これら回路の誤動作の原因となってしまう。近年、信号入出力端子の本数は増加する傾向にあり、出力回路の個数が増加すると電源ノイズが大きくなるため、大きな問題になっている。更に、LSI の高性能化に伴って LSI の動作速度が速くなっており、出力回路の同時スイッチングによるノイズの発生が助長されている。このような問題を解決して LSI を正常に動作させるには、この同時スイッチングの LSI に与える影響を低減するか、LSI のノイズに対する耐性を向上する必要がある。

【0007】図 3 は、このような問題を解決するための対策をとった半導体集積回路の従来例の構成を示す図である。図 2 と比較して明らかなように、図 3 の回路では、高電位側電源配線 8 を 2 つの高電位側電源配線 8 A と 8 B に、低電位側電源配線 9 を 2 つの低電位側電源配線 9 A と 9 B に分割している。高電位側電源配線 8 A は高電位側電源端子 6 A に接続されると共に出力回路 3 に接続されており、高電位側電源配線 8 B は高電位側電源端子 6 B に接続されると共に入力回路 1 と内部回路 2 に接続されており、低電位側電源配線 9 A は低電位側電源端子 7 A に接続されると共に出力回路 3 に接続されており、低電位側電源配線 9 B は低電位側電源端子 7 B に接続されると共に入力回路 1 と内部回路 2 に接続されている。この IC を使用して回路装置を構成する場合には、パッケージの外部では、8 個の高電位側電源端子 6 A と 6 B は電源の高電位側に共通に接続され、8 個の低電位側電源端子 7 A と 7 B は電源の低電位側に共通に接続される。このような構成により、出力回路の同時スイッチングにより高電位側電源配線 8 A と低電位側電源配線 9 A に発生した電源ノイズが、入力回路 1 と内部回路 2 に接続される高電位側電源配線 8 B と低電位側電源配線 9

B に直接影響しないようになるため、同時スイッチングの LSI に与える影響を低減することができる。

【0008】また、上記のように、近年 LSI は電源電圧を下げる傾向にあり、従来の 5 V 駆動の LSI に加えて、3 V 乃至 3.3 V 駆動の LSI が多数使用されるようになっている。そのため、パーソナルコンピュータやワークステーション等のメインボードでは、5 V 駆動の LSI と 3 V 乃至 3.3 V 駆動の LSI の両方を使用する必要が生じる場合があり、電源電圧が異なる LSI が混在することになり、各々の出力が相互に接続されるような状況になっている。また、従来から高速の素子として ECL (Emitter Coupled Logic) 素子が使用されており、ECL 素子と TTL 素子が混在して使用されていた。

【0009】図 4 は 5 V 駆動デバイスと 3 V 駆動デバイスとを接続した回路例を示している。図 4 において、参照番号 100 が 3.3 V 駆動の LSI であり、101 が 5 V 駆動の LSI であり、例えば、5 V 駆動の LSI 101 の信号出力端子 5 H からは 3.3 V 駆動の LSI 100 に対応したレベルの信号が出力され、LSI 100 の信号入力端子 4 に入力される。LSI 100 の高電位側電源端子 6 は 3.3 V 電源 110 に接続され、LSI 101 の高電位側電源端子 6 H は 5 V 電源 111 に接続され、LSI 100 と 101 の低電位側電源端子 7 と 7 H は共通の接地線 GND に接続される。D1 と D2 は 3.3 V 駆動デバイス 110 の入力回路 1 に設けられた静電破壊防止用のダイオード（保護回路）である。このダイオード D1 と D2 は、入力回路 1 の入力端子に帯電した異常電荷を 3.3 V 電源 110 又はそれに接続される電源線や接地線 GND に逃がすように機能する。これにより、入力回路 1 の静電破壊が防止できる。また、LSI 101 の信号出力端子 5 H から出力される出力信号は LSI 100 に対応したレベルの 3.3 V と 0 V の間の信号であるが、これが 3.3 V より高くなった時にはダイオード D1 を介して 3.3 V 電源 110 に電流が流れ、0 V 以下の負の電圧になった時にはダイオード D2 を介して接地線 GND に電流が流れることにより、入力回路 1 等を保護する。

【0010】

【発明が解決しようとする課題】半導体チップ内部で電源配線を分ける方法では、電源配線 8 A は出力回路専用になってしまうので、電源配線 8 B への電流の供給能力が、分割前に比べて 1/2（電源端子を 4 個ずつに分割した場合）に低下してしまう。したがって、内部回路 2 は電源配線 8 A と 9 A からの電流が受けられなくなる分、内部回路 2 の動作余裕が少なくなるという第 1 の問題がある。

【0011】また、入力回路 1 の保護回路を原因として過剰な電流が流れ込むという第 2 の問題がある。図 4 の回路において、ダイオード D1 は、通常、入力信号の電

位より高電位側電源線の電位が高いため、逆バイアスとなりオフしている。しかし、3.3V電源110が何らかの原因でオフした場合、電位差が順方向電圧VF

(0.8V程度)を越え、ダイオードD1はオンする。これにより、5V駆動デバイス101の出力信号はダイオードD1を介して3.3V駆動のLSI100の高電位側電源線及び3.3V電源110に接続される電源線に過剰な電流が流れることになる。このような過剰電流は、保護回路を構成するダイオードD1やLSI100の入力回路1を破壊すると共に、出力回路3Hが大きな電流を流すために5V電源111から大きな電流が供給されるために、5V電源111にも過大な付加を与えることになる。

【0012】本発明は、このような問題点を解決するためのもので、出力回路から入力回路へのノイズの伝搬を無くすこと、及び、入力回路の保護回路を原因とする電流の流れ込みを制限することが可能となる半導体集積回路の提供を目的とする。

【0013】

【課題を解決するための手段】図1は、本発明の半導体集積回路の原理構成図である。図1において、参照番号11は入力回路を、12は内部回路を、13は出力回路を、14は信号入力端子を、15は信号出力端子を、16と17は高電位側電源端子を、18と19は低電位側電源端子を、20は高電位側電源端子16から入力回路11への高電位側の電源配線を、21は高電位側電源端子17から内部回路12と出力回路13への高電位側の電源配線を、22は低電位側電源端子18から入力回路11への低電位側の電源配線を、23は低電位側電源端子19から内部回路12と出力回路13への低電位側の電源配線を、200は半導体集積回路を示す。このように、本発明の半導体集積回路200では、上記目的を実現するため、入力回路11に電源を供給する電源配線20と22と、入力回路の出力に従って動作する他の回路12、13に電源を供給する電源配線22、23とを分離する。

【0014】すなわち、本発明の半導体集積回路は、入力回路11と、入力回路の出力に従って動作する他の回路12、13と、入力回路12及び他の回路12、13に電源電圧を供給する複数の端子であって同一の電圧が印加される電源端子16、17、18、19とを備える半導体集積回路において、入力回路12の少なくとも一部の回路に電源を供給する入力回路用電源配線20、22と、他の回路12、13に電源を供給する一般電源配線21、23とは互いに分離されて設けられており、入力回路用電源配線20、22及び一般電源配線21、23はそれぞれ異なる電源端子16、18と17、19とに接続されていることを特徴とする。

【0015】入力回路12のうち、入力回路用電源配線20、22に接続されるのは一部で、それ以外の回路は

一般電源配線21、23に接続されるようにしてもよい。また、入力回路用電源配線20、22及び一般電源配線21、23は、高電位側電源配線又は低電位側電源配線のいずれか一方が分離され、他方は共通に接続されるようにしてもよい。

【0016】更に、入力信号線が接続される端子14の両側に、入力回路用電源配線の高電位側電源配線及び低電位側電源配線が接続される2つの電源端子16、18が配置されるようにすることが望ましい。本発明の半導体集積回路では、入力回路の電源配線を他の回路の電源配線と分けているので、他の回路により生じたノイズ、例えば、従来問題であった出力回路の同時スイッチングによるノイズが電源配線を通じて直接入力回路へ伝搬するのが防げる。これにより、入力回路の誤動作ひいてはLSIの誤動作が防げる。誤動作の原因は、出力回路の同時スイッチングによるノイズが入力回路へ影響することである。図3に示した従来例では、入力回路1と内部回路2の電源配線を、出力回路3の電源配線と分離していた。この構成でも、出力回路の同時スイッチングによるノイズが入力回路に影響するのは防げるが、内部回路で発生するノイズが入力回路へ影響するのは防げない。その上、内部回路は大きな電流を必要とするので、内部回路の電源を強化する上では、内部回路と出力回路の電源線を共通にする本発明の構成が好ましい。

【0017】入力回路が複数ある場合には、ノイズの影響を受けやすい入力回路について、他の回路と電源線を分離すれば、上記と同様の効果が得られる。また、入力回路11の入力信号線と入力回路用電源配線との間に保護回路を設けることが望ましい。図6は、入力回路11の入力信号線と入力回路用電源配線の間に保護回路としてダイオードD1とD2を接続した半導体集積回路を使用する時の構成を示す図であり、入力回路用電源配線20が接続される高電位側電源端子16と第1の電源（ここでは3.3V）の間に電流制限回路220が接続されている。

【0018】図6に示すように、入力回路用電源配線20が接続される高電位側電源端子16と、電力供給源である3.3V電源210との間に電流制限回路220を接続することで、3.3V電源がオフして5V駆動の回路側から3.3V駆動の回路側へ過剰な電流が流れ込む状況であっても、電流制限回路220により電流が制限されることになるので、3.3V駆動の回路及び5V駆動の回路、更には電源の破壊を回避することが可能になる。ここで、電流制限回路220の接続は、本発明のように、入力回路11の電源配線と電源端子が分離されていることで可能になる。入力回路は消費電流が小さいため、電流制限回路220のインピーダンスを十分に小さくしておけば、たとえ電流制限回路220が接続されて

いてもそこでの電圧降下は実用上問題ないほど小さく、入力回路の動作に悪影響をおよぼすことはない。しかし、図3に示した従来例のように、消費電流の大きな内部回路や出力回路と共通の電源配線であれば、同じインピーダンスの電流制限回路220であっても、そこでの電圧降下は無視できないほど大きくなり、入力回路の動作に悪影響をおよぼすだけでなく、そこで電力が消費されるため消費電力が大きくなるという問題が生じる。これに対して、入力回路の電源配線を分離して保護回路を設けた本発明の半導体集積回路を使用すれば、パッケージの外部で電流制限回路220を接続するだけで、保護回路を原因とする電流の流れ込みを制限することが可能となる。

【0019】

【発明の実施の形態】次に、図を参照しながら本発明の実施の形態について説明をする。図7は、本発明の第1実施例の半導体集積回路（IC）の構成図である。図7に示すように、本発明の第1実施例のIC200は、外部から信号入力端子14に入力される入力信号を入力回路11でIC内に取込み、内部回路12で入力回路11で取り込んだ信号に応じた回路処理を行い、その処理結果である信号を出力回路13から信号出力端子15を介して外部に出力する。入力回路11は、CMOS型のトランジスタを組み合わせたTTLレベルの信号で動作するTTL回路等やバイポーラトランジスタを組み合わせたECLレベルの信号で動作するECL回路からなる。TTL回路は閾値を基準として電圧動作するタイプで、ECL回路はベース電流により電流駆動するタイプである。信号入力端子14と入力回路11の組みは入力信号の個数分あり、出力回路13と信号出力端子15の組みも出力信号の個数分ある。また、内部回路12も複数の回路で構成されるが、1つの内部回路12が複数の入力回路11からの出力信号を受けるのが一般的であり、実際の構成は図示のように単純ではない。参照番号16と17は高電位側の電源端子であり、18と19は低電位側の電源端子であり、高電位側と低電位側の電源端子はそれぞれ8個ある。入力回路11への電源供給は、1個の高電位側の電源端子16に接続される入力回路用電源配線20と、1個の低電位側の電源端子18に接続される入力回路用電源配線22で行われる。入力回路11は、内部回路12及び出力回路13に比べて駆動電流が少ないので、複数の入力回路によって電源端子16が共用できる。内部回路12と出力回路13への電源供給は一般用電源配線21と23で行われ、一般用電源配線21は不図示のパッドに接続され、各パッドはボンディングワイヤーを介して7個の高電位側電源端子17に接続され、一般用電源配線23は不図示のパッドに接続され、各パッドはボンディングワイヤーを介して7個の低電位側電源端子19に接続されている。これにより、7本のワイヤーの通電容量で内部回路12及び出力回路1

3に電流が供給できる。

【0020】次に、図8を参照しながら、本実施例のICへの電源供給方法を説明する。図8では説明の都合上、IC200から1組の入力回路11、内部回路12及び出力回路13を取り出した場合を示している。本来、出力回路13で発生したノイズの伝搬を断ち切るには入力回路用の電源と出力回路用の電源とを完全に分離することが望ましいが、通常、電源設備のコスト面からその完全分離は行われていない。

【0021】本実施の形態では、当該IC200を実装したプリント基板において、入力回路用の高電位側電源端子16と、内部回路及び出力回路用の高電位側電源端子17とを共通の外部高電位電源線VDDに接続し、入力回路用の低電位側電源端子（ここではグランドであるので、以下接地端子と称する。）18と内部回路及び出力回路用の接地端子19とを共通の外部接地線GNDに接続して使用する。そして、この外部電源線VDDと外部接地線GNDの間に好ましくは容量素子Cを接続する。この容量素子Cは、出力回路13が同時スイッチ動作によりノイズを発生した場合、このノイズを取り除くように機能する。

【0022】このようにして、本発明の第1実施例のICでは、内部回路12及び出力回路13の電源配線21と入力回路11の電源配線20とを分けているので、出力回路13により生じたノイズが、出力回路13から入力回路11へ直接伝搬するのを防ぐことができる。第1実施例では、例えば、高電位側のノイズの伝搬経路は、出力回路13から電源配線21、電源端子17、外部電源線VDD、電源端子16、電源配線20及び入力回路11に至ることになる。このため、ノイズの伝搬経路は、パッケージ内部で電源を分配する場合、すなわち、従来技術のような出力回路13から直接、その内部の電源配線を経て入力回路11に至る場合に比べて長くなる。したがって、伝搬経路に介在した電源端子16、17の抵抗分や静電容量Cによりノイズを減衰させることができる。特に、電源端子17と19を介して一旦ICの外部に出たノイズは容量素子Cに吸収されて減衰するので、電源端子16と18から入力回路11に影響することはなくなる。従って、図8に示したように、パッケージ外部でノイズ対策回路を設けることができようになり、狭いパッケージ内にノイズ対策回路を設ける必要がなくなるという利点がある。

【0023】また、第1実施例では、7組の電源端子17と19が内部回路12や出力回路13に電源を供給するので、電源配線21と23が内部回路12と出力回路13とで共通にしている分、内部回路12の動作余裕が多くなる。更に、複数の入力回路11が電源端子16と18を共用しているので、電源端子数の増加を防ぐことができる。

【0024】第1実施例では、複数の入力回路11への

電源供給は、すべて共通の電源端子と電源配線により行われたが、各種の変形例が可能である。以下、入力回路への電源供給を変形した実施例を説明する。図9は、第2実施例のICの構成を示す図である。図7と比較して明らかなように、第2実施例のIC200では、複数の入力回路31Aと31Bへの電源供給が独立した別々の電源配線により行われる点が、第1実施例と異なる。

【0025】第2実施例のIC200では、入力回路31Aへの電源供給は高電位電源端子36Aと接地端子38Aから行われ、入力回路31Bへの電源供給は高電位電源端子36Bと接地端子38Bから行われる。従って、図9には図示していないが、電源端子が8組であれば、内部回路32と出力回路33への電源供給は6組の電源端子により行われることになる。

【0026】第2実施例のICでは、第1実施例と同様に、出力回路33により生じたノイズが、パッケージ内部で入力回路31Aや31Bへ伝搬することが防げる。更に、入力回路31Aの電源端子36Aと38A、入力回路31Bの電源端子36Bと38Bを分けることにより、各入力回路31A、31Bに大きな電流を供給できるようになる。従って、入力回路31A、31Bの消費電流が大きい場合に、第2実施例のような構成をとることが望ましい。

【0027】図10は、本発明の第3実施例のICの構成図である。第3実施例のICは、信号入力端子に遮蔽効果を持たせるように電源端子を配置した点が、第2実施例と異なる。図10に示すように、第3実施例のIC200では、入力回路31Aへの信号入力端子34Aの両側に、入力回路31Aの高電位側電源端子36Aと接地端子38Aを配置している。このような配置にすると、信号入力端子34の近くにノイズ発生源となる出力回路33の電源端子を配置した場合にも、入力回路用電源配線20Aと22Aが出力回路33の電源端子からのノイズを遮蔽するように働く。したがって、第3実施例のICでは、入力回路31Aへのノイズが阻止できる。なお、図10では、入力回路31Aへの入力信号線のみを遮蔽したが、入力回路31Bへの入力信号線を同様に遮蔽してもよい。

【0028】図11は、第4実施例のICの構成図である。第4実施例のICは、分離した電源配線で電源供給が行われる入力回路41Aと、内部回路42や出力回路43と同じ一般電源配線で電源供給が行われる入力回路41Bが混在している点が第2実施例と異なる。入力信号にはノイズに対する耐性が小さい信号と大きな信号がある。そこで、ノイズに対する耐性が小さい信号は、分離した電源配線で電源供給が行われる入力回路41Aに入力するようにし、耐性の大きな信号は、一般電源配線で電源供給が行われる入力回路41Bに入力するようにする。

【0029】第4実施例のような構成を用いることによ

り、入力回路41B、内部回路42及び出力回路43への電源配線を共通化することができるので、内部回路42の電源を強化することができる。図12は、第5実施例のICの構成図である。第5実施例のICは、第1実施例のICにおいて、信号入力端子14から入力回路11に至る信号経路と、入力回路11の電源配線との間に保護回路として働くダイオードD1、D2を設けたものである。

【0030】ダイオードD1、D2は保護回路の一例であり、入力端子14に帯電した異常電荷を電源線に逃がすように動作する。図12の(1)に示すように、ダイオードD1は信号入力端子14から入力回路11に至る信号経路と入力回路11の高電位側の電源配線の間に接続する。ダイオードD1は信号入力端子14に帯電した正電荷を高電位側電源端子16に逃がすように動作する。ダイオードD2は信号入力端子14から入力回路11に至る信号経路と入力回路11の低電位側の電源配線の間に接続する。ダイオードD2は入力端子14に帯電した負電荷を接地端子19に逃がすように動作する。図12の(2)は、ダイオードDに抵抗Rを直列に接続した保護回路の別の例を示している。抵抗Rは電荷を減衰するように機能する。

【0031】第5実施例のICでは、入力端子14に異常電荷が帯電すると、ダイオードD1は正電荷を電源配線や電源端子16に逃がすように動作し、ダイオードD2は負電荷を接地線や接地端子19に逃がすように動作するので、異常電荷から入力回路11を保護することができる。したがって、入力回路11の静電破壊を防ぐことができる。また、ICへの入力信号の電圧範囲はあらかじめ規定されているが、何らかの異常でこの電圧範囲外の入力信号が印加された場合には、これを電源配線から高電位側の電源端子又は接地端子に逃がすことにより入力回路が保護される。

【0032】図13は、第5実施例のICを他の高い電圧で駆動されるICに接続して使用例を示す図である。すでに説明したように、5V駆動のICと3.3V駆動のICを混在して使用することがある。そのような場合にはIC間で信号レベルを一致させるレベル変換を行う必要がある。図13に示す例はこのような場合の使用例であり、5V駆動デバイス202の出力をレベル変換回路201で3.3V駆動デバイスの信号レベルに変換した後、3.3V駆動デバイス200に入力する。5V駆動デバイス202とレベル変換回路201の高電位側電源端子は5Vの高電位側電源VDD2に接続され、低電位側電源端子は接地される。3.3V駆動デバイス200が本発明の第5実施例のICであり、高電位側電源端子17は直接3.3Vの高電位側電源VDD1に接続され、高電位側電源端子16は電流制限回路220を介してVDD1に接続され、低電位側電源端子19は接地される。3.3V駆動デバイス200の入力回路用の高電

位電源端子16と3. 3Vの高電位側電源VDD1との間には電流制限回路220が接続される。

【0033】電流制限回路220は抵抗やコイルから成る。コイルは、出力回路13で発生するノイズの周波数が高い場合に使用する。これらの抵抗値やインダクタンス値は、入力回路11の消費電流によって決める。一般に入力回路11の消費電流は、内部回路12や出力回路13の消費電流に比べて小さいために、電源端子16と17の間に電流制限回路220を接続しても回路動作上の不都合は生じない。すなわち、電流制限回路220の内部インピーダンスを十分に小さくしておけば、電圧降下(あるいは上昇)が実用上差し支えないほど小さくなり、入力回路11の動作に何ら影響を与えなくなる。例えば、電流制限回路220のもっとも簡単な例は単一の電気抵抗であり、数〜数百Ωのものを使用することができる。入力回路11の消費電力が数mA〜数μAであれば、通常動作時の電流制限回路220における電圧降下は数〜数十mVで、電源電圧3.3Vに対して実用上問題にならない電圧降下である。

【0034】第5実施例のICを図13に示すような形で使用すれば、図6で説明したように、たとえ3.3V電源であるVDD1が何らかの原因でオフしても、レベル変換回路101から信号入力端子14を介してダイオードD1に流れる電流が制限されるため、ダイオードD1や入力回路11を保護することができる。なお、ここでは5V駆動デバイスと3.3V駆動デバイスを混在した場合について説明したが、同じ駆動電圧のデバイス同士を接続した場合でも、同様な効果が得られる。また、電源電圧の組み合わせによっては、電流制限回路220を低電位電源側に設けるのが有効となる場合もある。

【0035】図14は、第6実施例のICの構成図である。第6実施例のICは、図9に示した第2実施例のICにおいて、一方の信号入力端子34Aから入力回路31Aに至る信号経路と、入力回路31Aの電源配線との間に保護回路として働くダイオードD11、D12を設けたものである。このように、特に大きな変動が予想され、規定された範囲外になる可能性の大きな信号について保護回路を設けるようにすることもできる。もちろんすべての入力回路について保護回路を設けるようにしてもよい。

【0036】図15は、第7実施例のICの構成図である。第7実施例のICは、図10に示した第3実施例のICにおいて、入力回路41Aと41Bに保護回路を設けたものである。ダイオードD21は信号入力端子44Bに帯電した正電荷を一般電源配線を介して電源端子47に逃がすように動作し、ダイオードD22は信号入力端子44Bに帯電した負電荷を一般接地線を介して接地端子49に逃がすように動作する。

【0037】本発明の基本的な構成について説明したが、本発明を適用したICの実際の例を説明する。図1

6は、本発明を適用した差動PECLレベルの信号をLVTTTLレベルの信号に変換するICの端子(ピン)配置を示す図である。5番と6番のピンに差動PECLレベルの信号が入力され、IC内部でレベル変換されて、2番、11番、14番、17番、20番、23番、26番、29番、32番、35番、38番、41番、44番、47番のピンからLVTTTLレベルの信号が出力される。3番、4番、9番、10番、15番、16番、21番、22番、27番、28番、33番、34番、39番、40番、45番、46番のピンは高電位側の電源端子(ピン)であり、すべてに3.3Vが印加される。それ以外の、1番、6番、7番、12番、13番、18番、19番、24番、25番、30番、31番、36番、37番、42番、43番、48番は接地端子(ピン)であり、すべてグランドに接続される。

【0038】高電位側の電源ピンのうち4番と9番のピンが入力回路用の高電位側電源配線に接続される。他の高電位側の電源ピンと接地ピンは、それぞれ内部で一般電源配線に共通に接続される。このように、このICでは、電源ピンには同一の電圧が印加されるが、内部では入力回路用の電源配線は他の一般電源配線とは分離されている。また、図16でも明らかなように、信号入力ピンである5番と6番のピンは、入力回路用の電源ピンに挟まれている。

【0039】図17と図18は、このICの回路構成を示す図である。信号入力ピンに接続される入力信号線51と52には、保護回路を構成するダイオードD11、D21が入力回路用の高電位側電源配線、すなわち、4番と9番のピンに接続される電源線に接続され、ダイオードD12、D22が入力回路用の低電位側電源配線、すなわち、6番と7番のピンに接続される接地電源線に接続されている。参照番号61で示す回路部分入力バッファ回路であり、この回路には入力回路用の電源配線から電源が供給される。参照番号62、63、64で示す回路が内部回路に相当し、65で示す回路が出力回路に相当する。これらの回路には、一般電源配線から電源が供給される。各回路の詳細な動作は本発明に直接関係しないので、ここでは省略する。

【0040】

【発明の効果】以上説明したように、本発明の半導体集積回路では、他の回路の電源配線と入力回路の電源配線とを分けているので、他の回路により生じたノイズが入力回路へ伝搬することが防げる。本発明の半導体集積回路に更に保護回路を設けた半導体集積回路を使用する回路装置では、半導体集積回路の外部に電流制限回路を接続することにより、他の回路から保護回路を介して当該半導体集積回路の電源に流入しようとする電流を制限することができる。保護回路や入力回路、電源を保護することができる。

【0041】これにより、高信頼度の半導体集積回路装

置が提供できる。

【図面の簡単な説明】

【図 1】従来の半導体集積回路の構成を示す図である。

【図 2】複数の電源ピンを有する半導体集積回路の従来例の構成を示す図である。

【図 3】出力回路のノイズの入力回路への影響を低減するため、出力回路の電源ピンを分離した半導体集積回路の従来例の構成を示す図である。

【図 4】異なる電圧駆動のデバイスに接続した場合の問題点を説明する図である。

【図 5】本発明の半導体集積回路の原理構成を示す図である。

【図 6】本発明の半導体集積回路を使用する時の説明図である。

【図 7】本発明の第 1 実施例の半導体集積回路の構成を示す図である。

【図 8】第 1 実施例の半導体集積回路への外部からの電源供給の例を示す図である。

【図 9】本発明の第 2 実施例の半導体集積回路の構成を示す図である。

【図 10】本発明の第 3 実施例の半導体集積回路の構成を示す図である。

【図 11】本発明の第 4 実施例の半導体集積回路の構成を示す図である。

【図 12】本発明の第 5 実施例の半導体集積回路の構成を示す図である。

【図 13】第 5 実施例の半導体集積回路を使用する場合の構成例を示す図である。

【図 14】本発明の第 6 実施例の半導体集積回路の構成

を示す図である。

【図 15】本発明の第 7 実施例の半導体集積回路の構成を示す図である。

【図 16】本発明を適用した P E C L レベルから L V T T L レベルの信号に変換するレベル変換 I C のピン配置を示す図である。

【図 17】本発明を適用した P E C L レベルから L V T T L レベルの信号に変換するレベル変換 I C の内部の回路構成を示す図である。

【図 18】本発明を適用した P E C L レベルから L V T T L レベルの信号に変換するレベル変換 I C の内部の回路構成を示す図である。

【符号の説明】

1 1 … 入力回路

1 2 … 内部回路

1 3 … 出力回路

1 4 … 信号入力端子

1 5 … 信号出力端子

1 6 … 入力回路用の高電位側電源端子

1 7 … 一般回路用の高電位側電源端子

1 8 … 入力回路用の低電位側電源端子（接地端子）

1 9 … 一般回路用の低電位側電源端子（接地端子）

2 0 … 入力回路用の高電位側電源配線

2 1 … 一般回路用の高電位側電源配線

2 2 … 入力回路用の低電位側電源配線

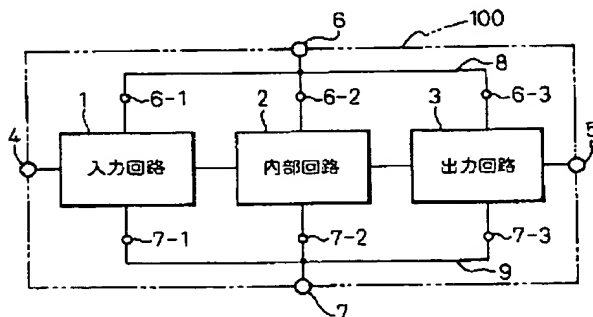
2 3 … 一般回路用の低電位側電源配線

2 2 0 … 電流制限回路

D 1、D 2 … 保護回路を構成するダイオード

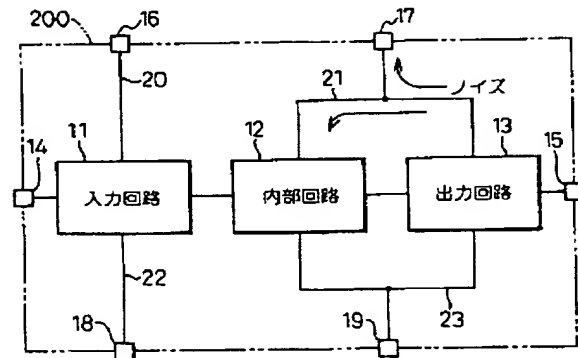
【図 1】

従来例の構成



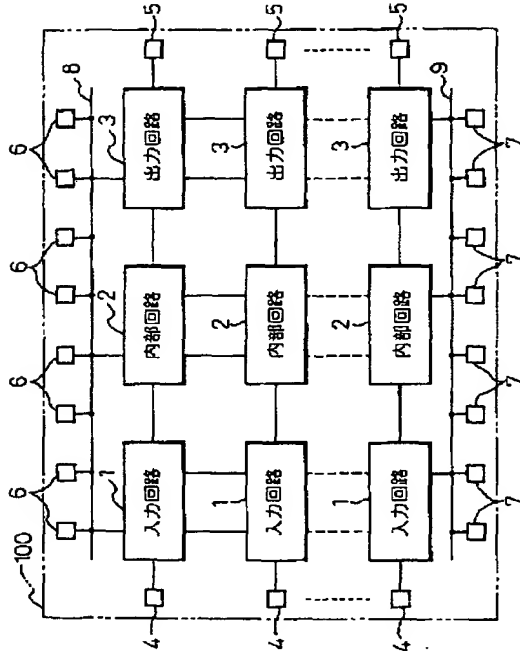
【図 5】

本発明の原理構成図



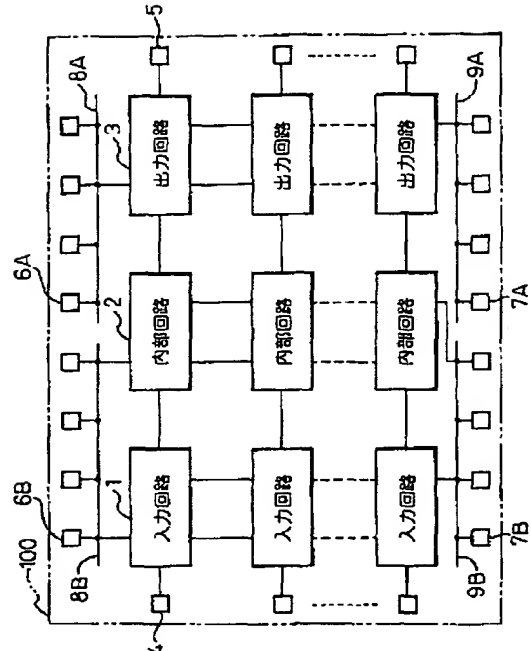
【図2】

複数の電源ピンを有する従来例の構成



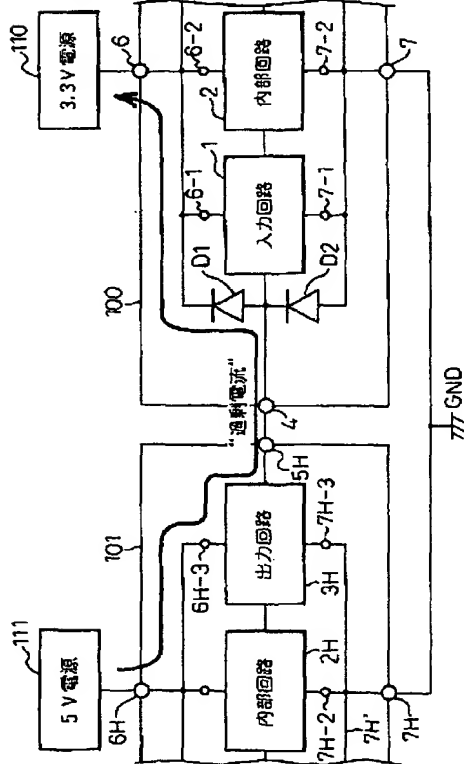
【図3】

他の従来例の構成



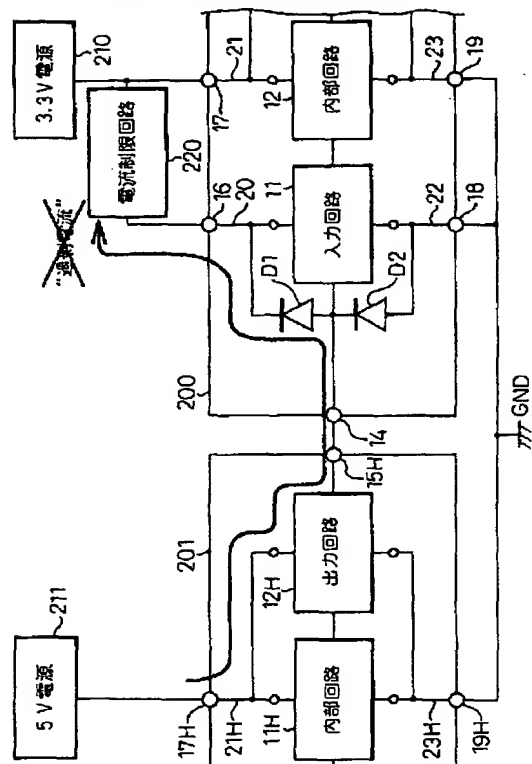
【図4】

従来例における入力保護回路と問題点



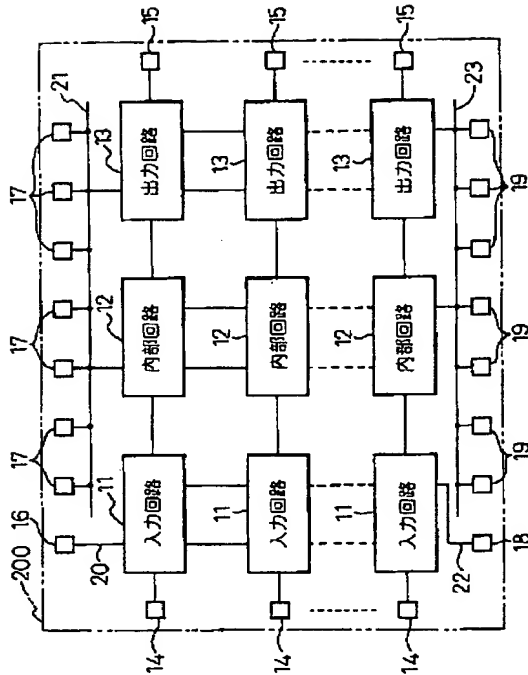
【図6】

本発明の装置を使用する時の説明図



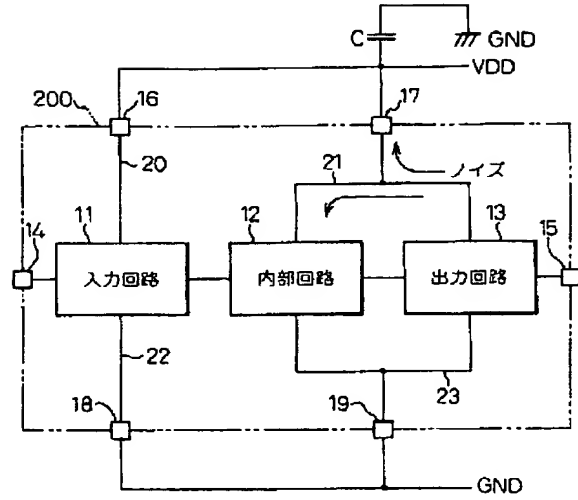
【図 7】

第 1 実施例の構成



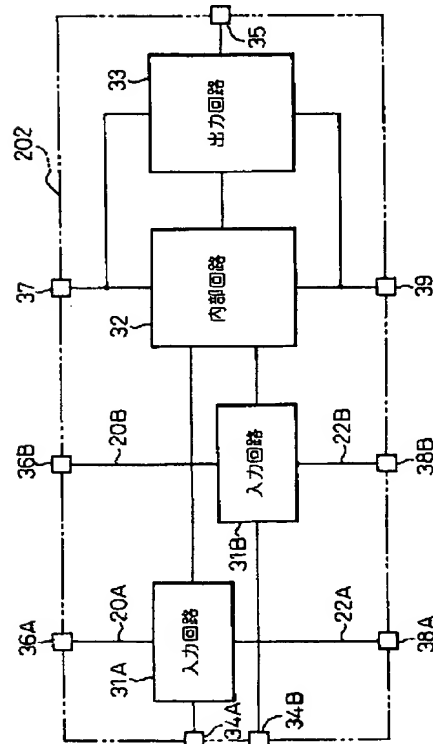
【図 8】

第 1 実施例の IC への電源供給例



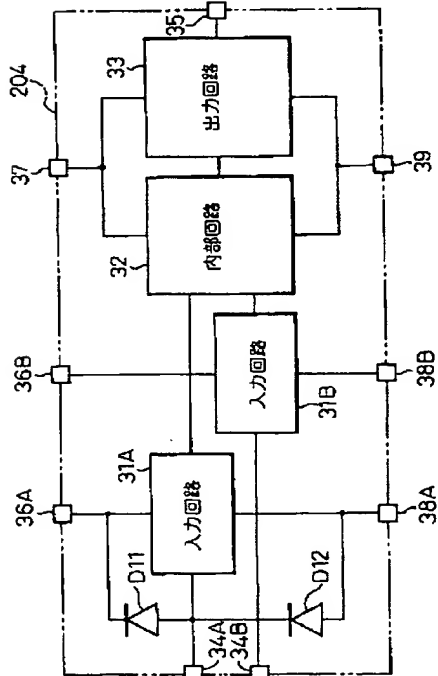
【図 9】

第 2 実施例の構成



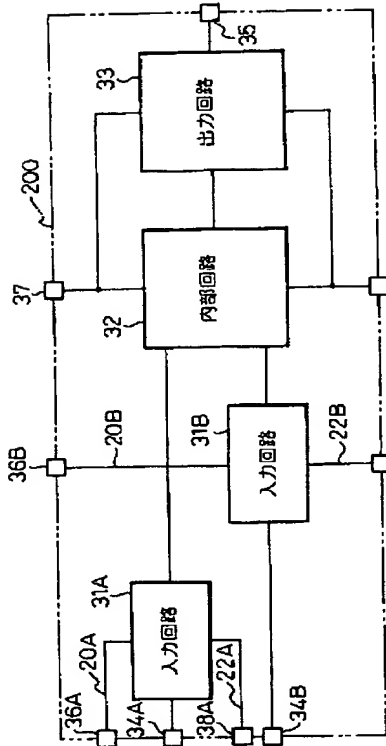
【図 14】

第 6 実施例の構成



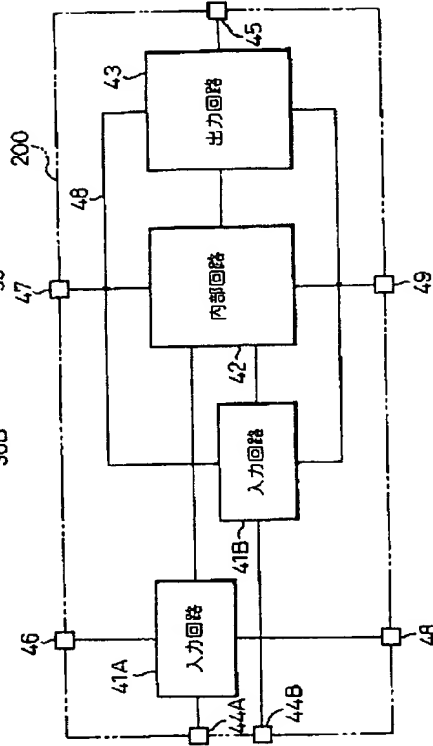
【図 10】

第 3 実施例の構成



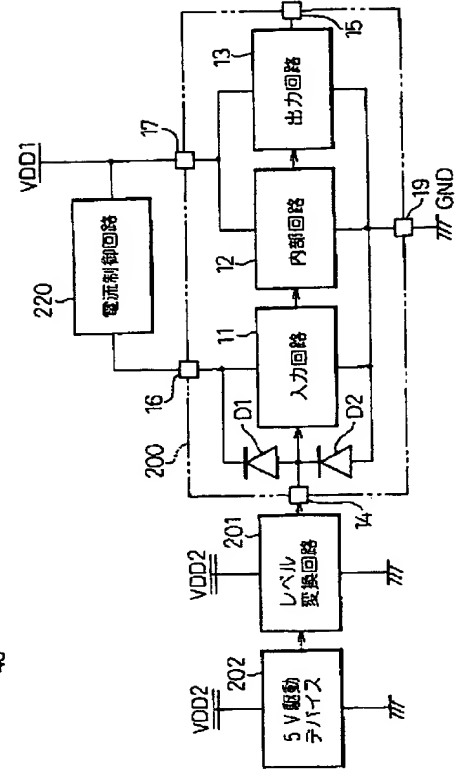
【図 11】

第 4 実施例の構成



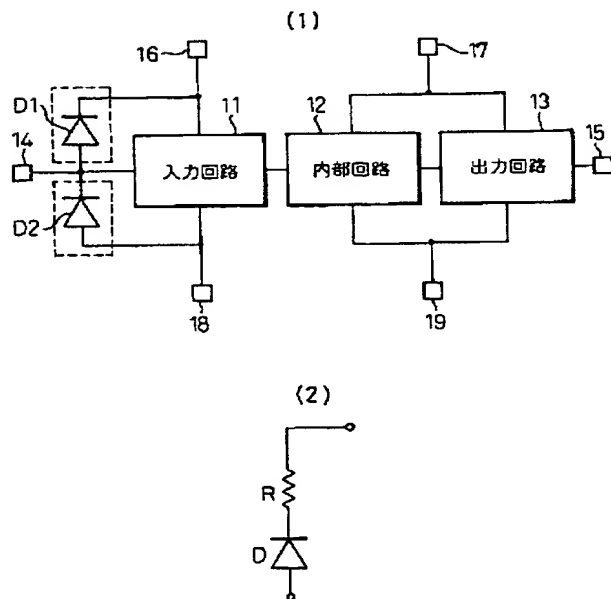
【図 13】

第 5 実施例の IC の使用例



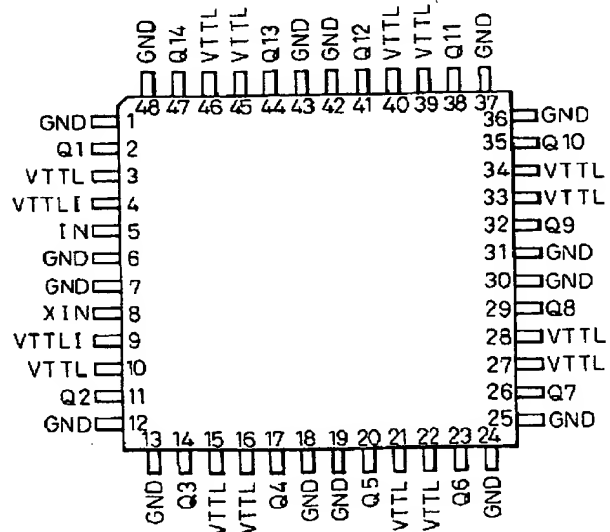
【図 12】

第 5 実施例の構成



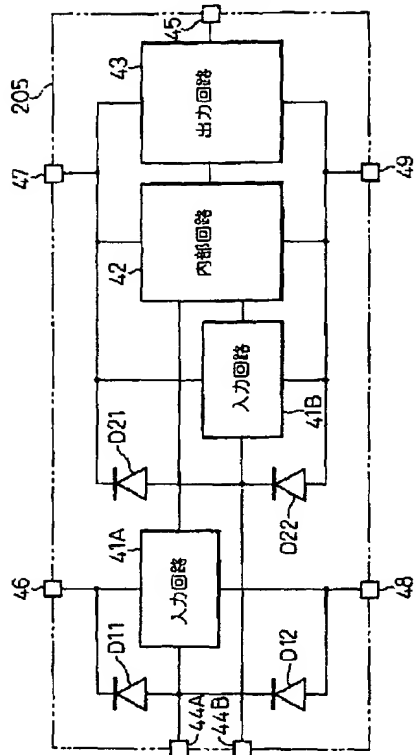
【図 16】

本発明を適用したレベル変換 IC のピン配置



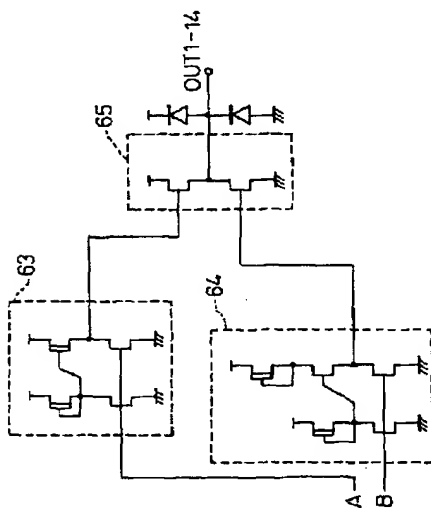
【図15】

第7実施例の構成



【図18】

実施例のレベル変換ICの回路構成（その2）



【図17】

実施例のレベル変換ICの回路構成（その1）

